

日 本 国 特 許 庁
JAPAN PATENT OFFICE

13.12.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年12月 8日

出 願 番 号
Application Number: 特願2003-409342
[ST. 10/C]: [JP2003-409342]

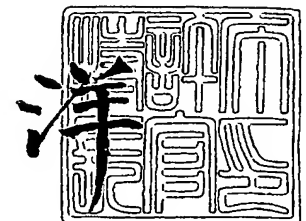
出 願 人
Applicant(s): 松下電器産業株式会社

BEST AVAILABLE COPY

2005年 1月27日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 2047550007
【提出日】 平成15年12月 8日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/088
H01L 21/70
H01L 29/786

【発明者】
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】 七井 識成

【発明者】
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】 竹内 孝之

【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社

【代理人】
【識別番号】 110000040
【氏名又は名称】 特許業務法人 池内・佐藤アンドパートナーズ
【代表者】 池内 寛幸
【電話番号】 06-6135-6051

【手数料の表示】
【予納台帳番号】 139757
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0108331

【書類名】 特許請求の範囲**【請求項 1】**

基板上に少なくともナノチューブを含む半導体を配置した薄膜トランジスタであって、前記ナノチューブの半導体極性を固定するために前記半導体を覆う保護層を備えたことを特徴とする薄膜トランジスタ。

【請求項 2】

前記半導体を覆う保護層が、ポリイミンを含んでいる請求項 1 に記載の薄膜トランジスタ。

【請求項 3】

前記半導体を覆う保護層が、ポリイミン以外のポリマーを含む請求項 1 に記載の薄膜トランジスタ。

【請求項 4】

前記ナノチューブを含む半導体を能動層とするトランジスタである請求項 1 に記載の薄膜トランジスタ。

【請求項 5】

前記ナノチューブがカーボンナノチューブである請求項 1 に記載の薄膜トランジスタ。

【請求項 6】

ナノチューブを含む半導体が基板上に複数配置された電気素子アレイであって、前記ナノチューブの半導体極性を固定するために前記半導体を覆う保護層を備えたことを特徴とする電気素子アレイ。

【請求項 7】

前記ナノチューブを含む半導体を能動層とするトランジスタである請求項 6 に記載の電気素子アレイ。

【請求項 8】

前記ナノチューブがカーボンナノチューブである請求項 6 に記載の電気素子アレイ。

【請求項 9】

基板上に少なくともナノチューブを含む半導体を配置し、前記ナノチューブの半導体極性を固定するために前記半導体を覆う保護層を備えた薄膜トランジスタの製造方法であって、

前記半導体を覆う保護層を形成する工程が、ナノチューブの半導体極性を転化する工程を兼ねることを特徴とする薄膜トランジスタの製造方法。

【請求項 10】

前記半導体を覆う保護層が、インクジェット法によって形成される請求項 9 に記載の薄膜トランジスタの製造方法。

【請求項 11】

請求項 1～8 のいずれか 1 項に記載の薄膜トランジスタ又は電気素子アレイを使用した回路装置を有する電気機器。

【書類名】明細書

【発明の名称】薄膜トランジスタと電気素子アレイ及びその製造方法並びに電気機器

【技術分野】

【0001】

本発明は、薄膜電界効果トランジスタ又は薄膜トランジスタ (TFT) に関して、特に、ナノチューブを含んだ半導体層を使用した TFT と電気素子アレイ及びその製造方法に関する。

【背景技術】

【0002】

現在、フラットパネルディスプレイ分野で使用されている薄膜電界効果トランジスタ又は薄膜トランジスタ (TFT) は、チャンネルが定義される半導体をはさんで分離したソース電極とドレイン電極との間のスイッチングを、ゲート電極にかける電圧によって制御している。現在実用化されている TFT デバイスは、アモルファスシリコン (a-Si) や低温ポリシリコンを半導体とし、酸化シリコンや窒化シリコンをゲート絶縁層として使用している。これらの技術を基盤としたディスプレイなどのデバイスを作製するためには、高温での製造プロセスが多く必要とされている。

【0003】

一方で、フラットパネルディスプレイの技術発展の中、基板の軽量化、機械的柔軟性、耐衝撃性又は省資源に対する要求も出てきている。しかし、基板としてこれらに有用なプラスチック板や樹脂フィルムを、200℃を越える処理温度での製造工程で使用するには制約がある。

【0004】

近年、半導体の性質を示す有機材料を利用する有機半導体薄膜トランジスタ (有機 TFT) も研究されている。有機材料を用いることで、従来の a-Si や低温ポリシリコンを用いた場合と比較してさらに低温のプロセスで薄膜デバイスを作製することが可能となり、シリコン系を用いたプロセスで必要とされる高コストの設備を準備せずに製造できることが期待される。また、高温工程なしに製造できるようになると、機械的フレキシビリティがあるプラスチック板や樹脂フィルムなどを基板として使用するのも容易となり、シートライクな、又はペーパーライクなディスプレイや携帯機器などの実現可能性もある。

【0005】

ペンタセンなどの低分子系有機半導体を用いた有機 TFT の場合、低温ポリシリコン系半導体層に比べてチャンネルのキャリア移動度が小さく、約 $0.1 \sim 3 \text{ cm}^2/\text{Vs}$ の値が得られている (例えば、非特許文献 1)。しかし、結晶粒界が増えたり結晶性が低下するとキャリア移動度は小さくなり、TFT として実用的利用ができなくなる。

【0006】

これに対して、炭素から作製された導電性が非常に良好で強靱な性質を有するナノ構造からなるカーボンナノチューブ (CNT) を半導体層に用いた TFT (CNT-TFT) も報告されている。CNT-TFT は、チャンネルのキャリア移動度が大きく、約 $1000 \sim 1500 \text{ cm}^2/\text{Vs}$ 程度の値を得ている (例えば、非特許文献 5)。CNT のキャリア移動度が大きいという性質を利用して、特許文献 1 では CNT を FET に利用することが提案されている。

【0007】

CNT-TFT は、空気に一旦さらした状態では p 型特性を示すことが知られている。また、真空加熱処理をしたりアルカリ金属処理を行えば n 型にできるが、酸素や水分と触れると p 型に戻ってしまう (非特許文献 2)。しかし、非特許文献 3 には、ポリエチレンイミンなどのイミン系ポリマーで CNT を処理すると、大気中でも安定な n 型 CNT-FET を作製できると提案されている。

【0008】

CNT を TFT の半導体として用いる際には、p 型及び n 型の双方を同一基板上に作製できると回路設計上都合が良い。非特許文献 4 には、ひとつの基板上に p 型と n 型の CN

Tを配置し論理否定回路（NOTゲート）を作製する2通りの方法が提案されている。非特許文献4に提案されている作製方法のひとつは、CNTを基板上の所定の位置に配置して作製された回路に対し、n型とすべきTFETを光リソグラフ樹脂でパターン付け保護した後、200℃、10時間真空加熱処理を行い、一旦、すべてのCNT-TFETをn型とし、次いで、 10^{-3} Torrの酸素に3分間接触させ、樹脂で保護されていないTFETをp型とし、NOTゲートを作製するものである。非特許文献4に提案されている別の作製方法は、CNTを基板上の所定の位置に配置して作製された回路に対し、p型とすべきTFETを光リソグラフ樹脂でパターン付け保護した後、カリウムを蒸着して樹脂で保護されていないTFETをn型とし、NOTゲートを作製するものである。

【0009】

なお、特許文献1には、p型とn型のCNTが混在するアレイを作製する際に必要な、随意のCNTをp型／n型に制御して作り分けることに関しては記載されていない。

【特許文献1】特開2003-17503号公報

【非特許文献1】C.D.Dimitrakopoulosら, J. Appl. Phys. 80, pp.2501-2508, (1996)

【非特許文献2】V.Deryckeら, Appl. Phys. Lett. 80, pp.2773-2775, (2002)

【非特許文献3】Moonsub Shimら, J. Am. Chem. Soc. 123, pp.11512-11513, (2001)

【非特許文献4】V.Deryckeら, Nano Lett. 1, pp.453-456, (2001)

【非特許文献5】S.Rosenblattら, Nano Lett. 2, pp.869-872, (2002)

【発明の開示】

【発明が解決しようとする課題】

【0010】

上述のように、同一基板上にp型とn型のCNT-FETを含んだ回路を作製する際には、非特許文献4で提案されているように光リソグラフなどでのパターン付け保護という複雑な工程に加えて、p型／n型の特性転換という工程が必要となる。さらに、カリウムなどの金属でCNTをn型とする場合には、ソース電極とドレイン電極との間の漏れ電流を小さくするために、カリウムの蒸着量を制御する必要も生じる。また、非特許文献4には述べられていないが、光リソグラフパターン付け保護の後カリウムでn型へ特性変換する場合に、大気からの保護被覆が必要となることは、非特許文献2から明らかである。この様に、同一基板上にp型とn型のCNT-FETを含んだ回路を製造するための従来の方法では、n型CNTを作製するために長時間真空加熱という時間のかかる工程を経るか、カリウムなどの金属を用いた場合に漏れ電流を小さくするための工夫が必要とされ、加えて、パターンニング、特性転化、封止という全体を通すと複雑な工程を必要とするなどの課題を有していた。

【0011】

本発明は、この従来の課題を解決するもので、従来よりも簡便な工程で同一基板上にp型とn型のCNT-FETを含んだ回路を製造する方法を提供し、空気中でも安定な薄膜トランジスタと電気素子アレイ及びその製造方法並びに電気機器を提供する。

【課題を解決するための手段】

【0012】

本発明の薄膜トランジスタは、基板上に少なくともナノチューブを含む半導体を配置し、前記ナノチューブの半導体極性を固定するために前記半導体を覆う保護層を備えたことを特徴とする。

【0013】

本発明の電気素子アレイは、ナノチューブを含む半導体が基板上に複数配置され、前記ナノチューブの半導体極性を固定するために前記半導体を覆う保護層を備えたことを特徴とする。

【0014】

本発明の薄膜トランジスタの製造方法は、基板上に少なくともナノチューブを含む半導体を配置し、前記ナノチューブの半導体極性を固定するために前記半導体を覆う保護層を

備えた薄膜トランジスタの製造方法であって、前記半導体を覆う保護層を形成する工程が、ナノチューブの半導体極性を転化する工程を兼ねることを特徴とする。

【0015】

本発明の電気機器は、前記の薄膜トランジスタ又は電気素子アレイを使用した回路装置を有するものである。

【発明の効果】

【0016】

本発明によれば、基板上に少なくともナノチューブを含む半導体を配置し、前記ナノチューブの半導体極性を固定するために前記半導体を覆う保護層を備えた電気素子とすることで、同一基板上にp型とn型のCNT-FETを含んだ回路を従来より簡便に製造でき、空気中でも安定なCNT-FET回路を提供することができる。

【発明を実施するための最良の形態】

【0017】

本発明は基板上に少なくともナノチューブを含む半導体を配置し、前記ナノチューブの半導体極性を固定するために前記半導体を覆う保護層を備えた電気素子とした。これによって、従来よりも簡便な工程で同一基板上にp型とn型のCNT-FETを含んだ回路を製造でき、空気中でも安定なCNT-FET回路を提供できる。前記半導体を覆う保護層は、イミン化合物を含んでいるものを用いるのが好ましい。また、前記半導体を覆う保護層が、高分子化合物を含むものであるのが好ましい。電気素子としては、前記ナノチューブを含む半導体を能動層とするトランジスタなどが挙げられる。前記ナノチューブとしては、カーボンナノチューブなどが挙げられる。

【0018】

また、ナノチューブを含む半導体を基板上に複数配置し、前記ナノチューブの半導体極性を固定するために前記半導体を覆う保護層を備えた電気素子アレイとした。

【0019】

前記の電気素子や電気素子アレイを得るために、前記半導体を覆う保護層を形成する工程が、ナノチューブの半導体極性を転化する工程を兼ねる製造方法がある。前記半導体を覆う保護層を形成する工程には、インクジェット法などが挙げられる。

【0020】

なお、以上に述べた各手段構成は、本発明の趣旨を逸脱しない限り、互いに組み合わせることが可能である。

【0021】

以下、本発明の実施の形態について説明する。

【0022】

(実施の形態1)

以下、本発明の実施の形態をNOTゲイトを作製する場合を例に図を用いて説明する。

【0023】

図1Aは、本発明の実施の形態1における薄膜トランジスタで構成した回路例(NOTゲイト)の概念断面図及び図1Bは回路図である。101は基板であり、102は回路内のp型及びn型TFTのゲート電極であり、NOTゲイトの入力となる。入力電極102に入力した電圧は、p型半導体層105及びn型半導体層108をスイッチングし、正電源電極106又は負電源電極109のいずれかの電圧を出力電極104に出力する。ゲート電極102は、他の電極や半導体層とゲート絶縁層103により絶縁されている。また、p型半導体層105はp型半導体保護層107で、n型半導体層108はn型半導体保護層110で、それぞれ保護されている。

【0024】

図1A-Bの回路を基板上に製造するのは、図2の製造工程に従って行う。基板上にゲート電極、ゲート絶縁膜、正・負電源電極、出力電極を積層パターンニングする。ゲート絶縁膜は、耐電圧が不足しない範囲で薄い方が好ましいが、作製の都合上、本例では100nmの厚さのSiO₂とした。正・負電源電極と出力電極との間隔は、作製の都合上、本

例では $1\mu\text{m}$ としたが、パターンが作製できるのなら任意に設定できる。また、出力電極の幅は配線の都合上、本例では $50\mu\text{m}$ としたが、より細くしてもFETは動作する。基板としては厚さ 0.5mm のポリイミドを用いた。ゲート、正電源、負電源の各電極としては、CNTと接触する部分の厚さが薄くなるようにして厚さ $30\mu\text{m}$ の金を用いた。次に、CNTを溶剤中に分散し、塗布、乾燥する。本例では、溶剤としてジクロロメタンを選択したが、カーボンナノチューブ(CNT)が分散できれば他の溶剤も使用できる。また、本例では濃度を2質量%としたが、この濃度も電極上にCNTが配置される濃度であれば任意に選択できる。CNT分散は、超音波洗浄機で5分間超音波をかけることで行った。このようにして、基板上に電極、絶縁体、半導体を設けた状態401とする。次に、p型CNT-FET半導体保護剤としてのポリメチルメタクリレート(PMMA; 平均分子量4万6千~9万3千)をトルエンに7質量%溶解したインク、n型に特性転化するCNT-FET半導体保護剤としてのポリエチレンイミン(平均分子量1万)をメタノールに6質量%溶解したインクを用意し、インクジェット印刷方式でp型半導体保護層404とn型半導体保護層405とを塗り分ける。このとき、n型半導体保護層形成と同時にn型への特性転化も行われるので、特に、特性転化工程を必要としない。p型半導体保護層とn型半導体保護層とも、乾燥後に $6\sim 12\mu\text{m}$ の厚さとなった。また、本例では半導体保護剤を位置選択的に塗布する簡便な方法としてインクジェット印刷方式を選択したが、他の選択的塗布が可能な印刷方法などでも同様に作製可能である。本実施形態は、半導体保護層形成と同時にCNTの半導体特性転化を行うことで、工程を簡便にできる。最後に、素子全体の保護のための保護層403を設け、CNT-FETで構成された回路を得る。保護層403には、パッシベーション膜用光硬化性ポリイミド樹脂(パイメル)を用いた。

【0025】

得られたNOTゲイトに対し、正電源電極106に $+2.4\text{V}$ 、負電源電極109に -2.4V を印加した。入力電極102に $+4\text{V}$ を印加したところ、出力電極104の電圧は、 -1.6V となり、また、入力電極に -4V を印加したところ、出力電極の電圧は $+1.6\text{V}$ と、入出力の極性が反転し論理否定演算ができた。なお、入力電圧の絶対値に対して出力電圧の絶対値が小さいのは、本例のゲイト絶縁膜が厚すぎるためである。

【0026】

NOTゲイト回路が正負入力に対し正常に動作することから、回路を構成するCNT-FETのp型とn型の双方とも動作していることが分かり、半導体保護層404と405によりp型とn型のCNT-FETを特性づけられたのが分かる。仮に、回路を構成する二つのCNT-FETの極性が同じ場合、入力のひとつの極性に対しては正常動作するが、逆極性に対しては出力が、ほぼ 0V となるからである。

【0027】

本実施の形態1では、NOTゲイトを回路例としたが、同一基板上にp型とn型のCNT-FETを含んだ空気中でも安定な回路を簡便に製造でき、NOTゲイトに限定されるものでなく、論理否定の他に論理和や論理積、それらを組み合わせたのと等価な論理回路のほかに、スイッチング回路としてマトリクス型パネルに組み込んだ表示回路の一部や、情報記録や情報読み出し回路などにも利用できる。本実施形態は、単一基板上に多くのTFT素子を設置する場合に特に好ましい製造方法であるので、これらの回路を作製する際にとりわけ有効である。

【0028】

本実施の形態1では、PMMAをp型CNT-TFTの半導体保護層として用いたが、このPMMAは極性決定には寄与していないので省略し、保護層403で兼用するのも可能である。保護層403を積層する際の機械的・熱的な半導体へのストレスや、素子の使用・保存時の機械的・熱的なストレスから保護するために、極性決定に寄与しなくとも半導体保護層を設け緩衝作用を利用する方が好ましい。

【0029】

なお、本実施形態では空気中で取り扱われたp型のCNTを用いたのでPMMAをp型

CNT-TFTの保護層として用いたが、真空加熱処理やアルカリ金属・アルカリ土類金属処理、イミンやイミドなどの含窒素官能基での処理などでn型としたCNTを用いて作製する場合には、PMMAはn型CNT-TFTの保護層として用い得るのは、PMMAが極性決定に寄与しないからである。

【0030】

なお、本実施形態では、PMMAを保護層として用いたが、極性決定に寄与しない樹脂であれば同様の効果がある。例えば、ポリカーボネート、ポリスチレン、ポリアクリロニトリル、ポリフッ化ビニリデン、ポリシアン化ビニリデン、ポリビニルアルコールなどや、ゲート絶縁膜に使用可能な樹脂などを用いることができる。また、CNTと電荷移動錯体を形成しCNTをp型にする樹脂でも、p型半導体保護層となる。

【0031】

なお、本実施形態では、CNTをn型半導体に特性転化する半導体保護層としてポリエチレンイミン $[-(CH_2-C(CH=NH)H)_n-]$ （但し、nは重合度を示す。）を用いたが、他のイミン系樹脂でも使用可能である。イミン系樹脂では、ポリエチレンイミンは大量に生産されているので入手が容易なので好ましいが、例えばポリプロピレンイミンやポリブチレンイミンなどのポリアルキレンイミンや他のイミン系樹脂も使用できる。

【0032】

なお、本実施形態では保護層403を設けたが、保護層403は存在しなくてもFET動作が可能である。そのため、回路以外の構成物もある素子内に回路を構成する場合には、保護層403を省略し、素子全体の保護措置で補うのも可能である。素子外部・素子内部からの機械的な作用、素子構成要素間の熱膨張率の差異などの熱的な作用、環境から浸入したり素子構成時に含まれる化学物質による作用などからFETが劣化するのを防ぐために保護層403を設けるのが好ましい。

【0033】

なお、本実施形態では、基板としてポリイミドを用いたが、ポリエチレンテレフタレートやポリブチレンテレフタレートなどのポリエステルやその他のフレキシブル基板を用いることも可能であるし、ガラスやシリコンなどフレキシブルでないものを基板として用いるのは可能である。本実施形態の主旨は、素子が形成されれば基板の材質について左右されるものではない。

【0034】

なお、本実施形態では、電極として金を用いたが、基板との密着性を向上させるためにチタンなど他金属との積層構造とすることも可能であるし、クロムやコバルト、ニッケルなど金以外の金属を電極として用いるのも可能である。また、金属に限らずポリチオフェンやポリピロールなどの導電性高分子やTTF-TCNQなどの電荷移動錯体も用いることも可能である。また、各電極の材質をそれぞれ異なるものとする、半導体と電極との界面接合向上のために別の材料層を設けること、電極の厚さなど、本実施形態の主旨を左右するものではない。

【0035】

なお、本実施形態のCNT-FETは、ゲート絶縁層と、ゲート絶縁層と接触して設けた半導体層と、ゲート絶縁層と接触するが半導体層とは接触しないゲート電極と、半導体層の少なくとも一方の側に接触してゲート電極を挟むようにして設けたソース電極とドレイン電極と、を含む薄膜トランジスタであって、ゲート電極を基板上に設けたボトムゲート型の薄膜トランジスタで説明したが、ゲート電極を半導体層に対し基板とは反対側に設けたトップゲート型の薄膜トランジスタとしても、同様に実施可能であり、電極配置について左右されるものでない。

【0036】

(比較例1)

以下、比較例として従来の作製方法を図3に従って説明する。この方法は、非特許文献4に提案の方法に基づいている。

【0037】

実施の形態1と同様にして基板上に電極、絶縁体、半導体を設けた状態201を得る。次に、201上にレジスト剤としてPMMAを塗布し、露光・硬化・除去し、ドーパント対策保護マスク202を設けた。なお、202はn型とするCNT-FETに対して設置する。つづいて、真空中で200℃にし10時間放置し、すべてのCNTをp型からn型に特性転化する。さらに、真空から空気中に出し、ドーパント対策保護マスク202で保護されていないCNTをn型からp型へ特性転化する。この場合のドーパントは、空気中の酸素が相当する。

【0038】

以上のようにして、p型とn型のCNT-FETが配置された回路を得た後、保護層203を設ける。このように、比較例1は実施の形態1と比較して特性転化を2度行うために工程数が多くなる。実施の形態1においては、保護マスクを作製する工程で特性転化も同時に行われるからである。また比較例1のn型へ転化する工程は、比較的時間がかかる。これらの点から、実施の形態1の方が、同一基板上にp型とn型のCNT-FETを含んだ回路を比較例1よりも簡便に製造できることがわかる。

【0039】

(比較例2)

以下、比較例として比較例1と異なる従来の作製方法を図4に従って説明する。この方法は、非特許文献4に提案の方法に基づいている。

【0040】

実施の形態1と同様にして基板上に電極、絶縁体、半導体を設けた状態301を得る。次に、301上にレジスト剤としてPMMAを塗布し、露光・硬化・除去し、ドーパント対策保護マスク302を設けた。なお、302は比較例1と異なり、p型とするCNT-FETに対して設置する。つづいて、真空中でカリウムを蒸着しp型からn型に特性転化する。ここで、302が設けてあるFETについては、p型のまま特性が維持される。なお、本比較例では非特許文献4に倣ってカリウムをドーパントとして用いたが、他のアルカリ金属やカルシウムなどを使用しても同様である。なお、ドーパントである金属を多量に蒸着すると、ドーパント金属に電流が流れてCNT-FETのOFF電流が大きくなってしまう原因となる。そのため、ドーパントの蒸着量を最小限としなければならない。

【0041】

以上のようにして、p型とn型のCNT-FETが配置された回路を得た後、保護層303を設ける。このように、比較例2は比較例1よりも特性転化工程を短縮できるが、実施の形態1と比較すると特性転化を行うために工程数が多い。実施の形態1においては、保護マスクを作製する工程で特性転化も同時に行われるからである。また比較例2のn型へ転化する工程では、アルカリ金属やカルシウムなど空気中で取り扱えない化合物を用いるが、実施の形態1で用いる化合物は、空気中でも取り扱える。これらの点から、実施の形態1の方が、同一基板上にp型とn型のCNT-FETを含んだ回路を比較例2よりも簡便に製造できることがわかる。

【産業上の利用可能性】

【0042】

本発明は、種々の電子機器に応用でき、スイッチング素子や駆動回路や制御回路などを使用したペーパーライク又はシート状などのディスプレイ、半導体回路装置を使用した携帯機器、無線ICタグなどの使い捨て機器、記録機器又は他の電子機器、その他の産業分野に利用することができ、その産業上の利用可能性は非常に広く且つ大きい。

【図面の簡単な説明】

【0043】

□

【図1】Aは本発明の実施の形態1における薄膜トランジスタで構成した回路例の概念断面図、BはAで構成される回路図。

【図2】本発明の実施の形態1における薄膜トランジスタの製造工程の概念図。

【図3】従来例1に示した薄膜トランジスタの製造工程の概念図。

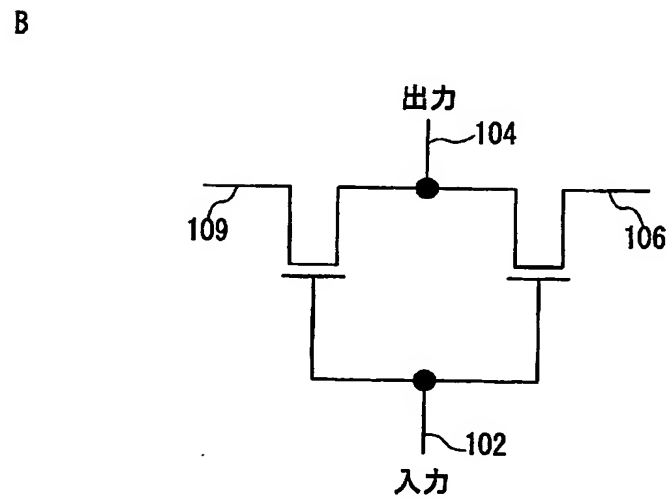
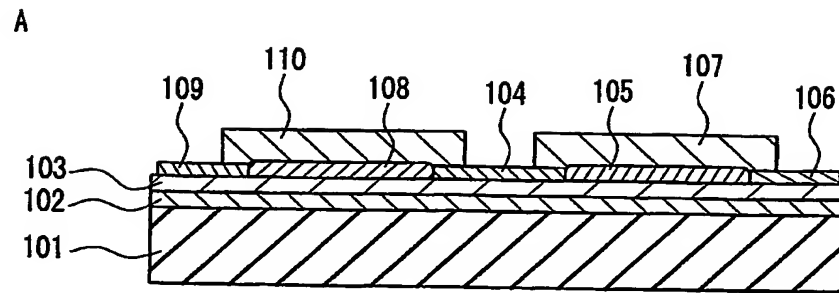
【図4】従来例2に示した薄膜トランジスタの製造工程の概念図。

【符号の説明】

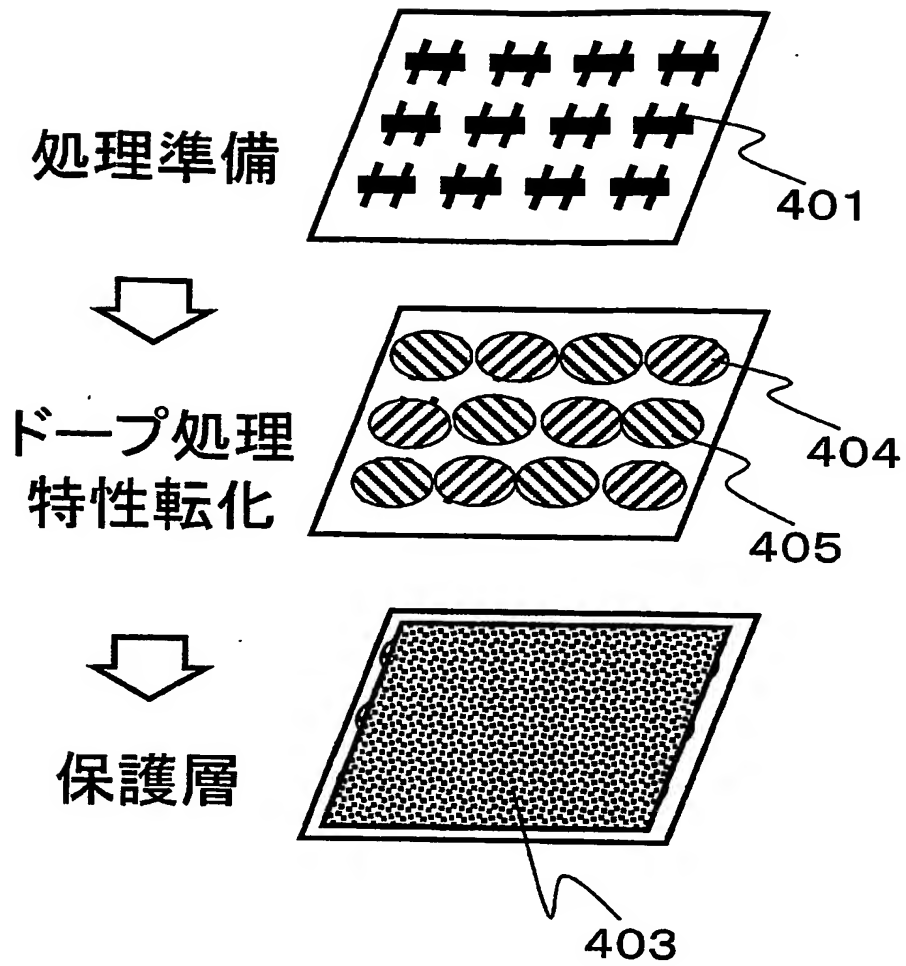
【0044】

- 101 基板
- 102 入力電極（ゲート電極）
- 103 ゲート絶縁層
- 104 出力電極
- 105 p型半導体層
- 106 正電源電極
- 107 p型半導体保護層
- 108 n型半導体層
- 109 負電源電極
- 110 n型半導体保護層
- 201, 301, 401 基板上に電極、絶縁体、半導体を設けた状態
- 202, 302 ドーパント対策保護マスク
- 203, 303, 403 保護層
- 404 p型半導体保護層
- 405 n型半導体保護層

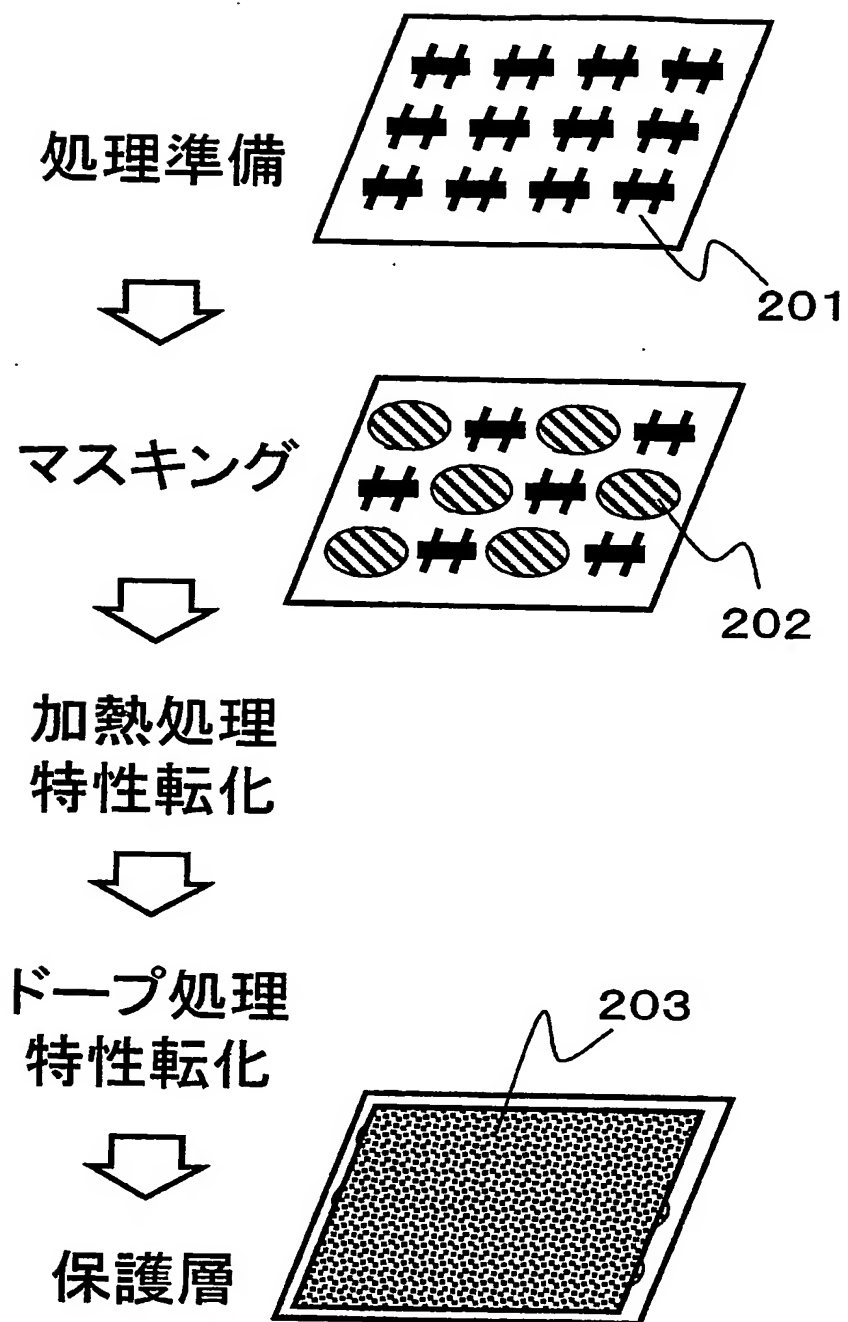
【書類名】 図面
【図 1】



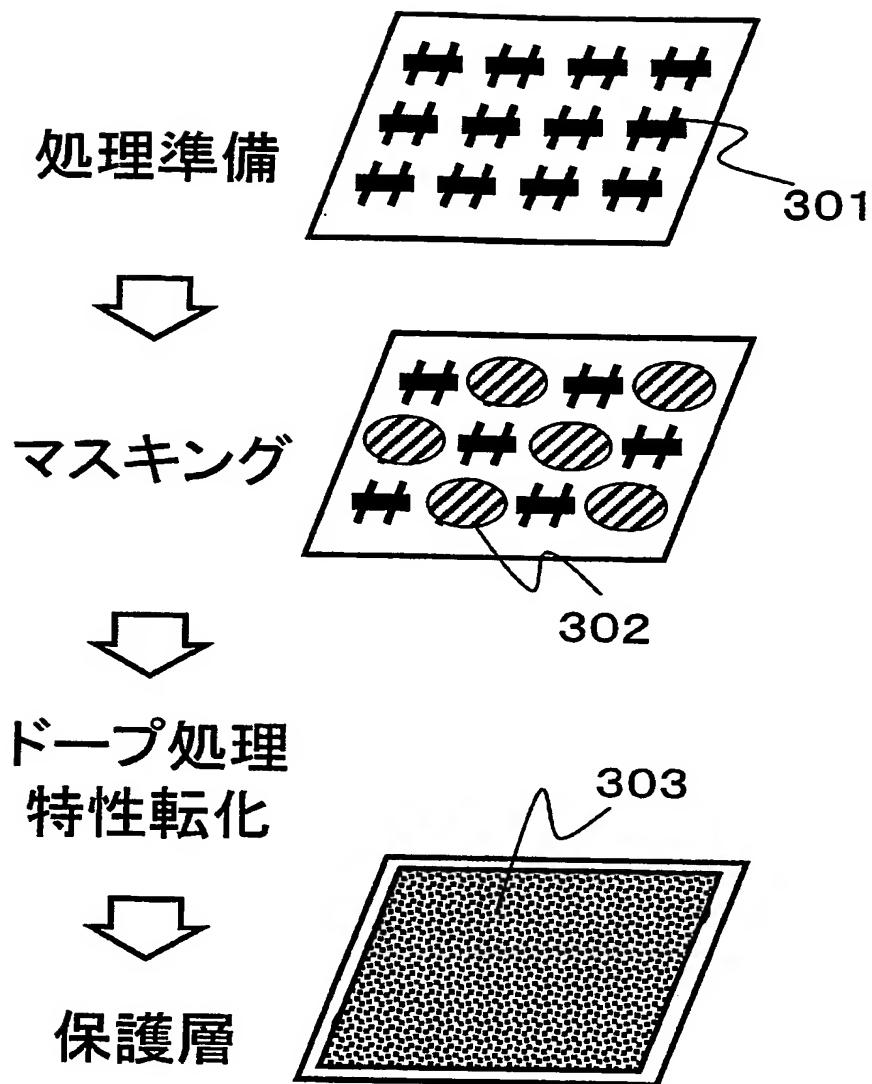
【図 2】



【図 3】



【図 4】



【書類名】要約書

【要約】

【課題】同一基板上に p 型と n 型のカーボンナノチューブ (CNT) - 薄膜トランジスタ (FET) を有する回路を製造する方法を提供し、空気中でも安定な薄膜トランジスタと電気素子アレイ及びその製造方法並びに電気機器を提供する。

【解決手段】本発明の薄膜トランジスタは、基板上に少なくともナノチューブを含む半導体 (401) を配置し、前記ナノチューブの半導体極性を固定するために前記半導体を覆う保護層 (403) を備える。また、半導体保護層 (403) 形成と同時に CNT の半導体特性転化を行うことで、工程を簡便なものとする。これにより、空気中でも安定な CNT-FET 回路を提供できる。

【選択図】 図 2

特願 2 0 0 3 - 4 0 9 3 4 2

ページ : 1/E

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/017748

International filing date: 30 November 2004 (30.11.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2003-409342
Filing date: 08 December 2003 (08.12.2003)

Date of receipt at the International Bureau: 10 February 2005 (10.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**